

English Translation of Japanese Laid Open Patent Application No. H10-70561

ELECTRONIC EQUIPMENT & METHOD OF CONTROLLING ITS WORK MODE
JAPAN PATENT OFFICE

PUBLICATION OF LAID-OPEN PATENT APPLICATION

Publication number : H10-70561

Date of publication of application : 10.03.1998

Int.Cl.⁶ H04L 12/40

In house reference number: F1

H04L 11/00

Examination is not requested yet.

The number of claims: 4 FD (6 pages in total)

TITLE OF INVENTION : ELECTRONIC EQUIPMENT & METHOD OF CONTROLLING
ITS WORK MODE

APPLICATION NUMBER : H8-242607

DATE OF FILING : 26.08.1996

APPLICANT : SONY

INVENTOR : AOKI, SACHIHIKO
KATO, JUNNJI

ATTORNEY : SUGIYAMA, TAKESHI

SPECIFICATIONS

1. TITLE OF INVENTION

Electronic equipment & method of controlling its work mode

2. CLAIMS

[Claim 1]

An electronic equipment in a system communicating between a plurality of electronic equipments connected by a bus, the electronic equipment comprising:

a communication interface for communicating via the bus, the communication interface including a physical layer controller, a link layer controller and CPU, wherein, when the electronic equipment is not connected to another equipment via the bus, the link layer controller does not work, and the link layer controller works after the connection is established.

[Claim 2]

The electronic equipment according to claim 1, wherein the physical layer controller detects that the electronic equipment is connected to another electronic equipment and inform the CPU of the connection, the CPU causes the link layer controller to work.

[Claim 3]

The electronic equipment according to claim 1, wherein the bus is an IEEE1394 serial bus.

[Claim 4]

A method of controlling a work mode of an electronic equipment comprising:

a step of controlling such that , at a time of communicating between a plurality of electronic equipments connected by a bus, a link layer controller does not work when the electronic equipment is not connected to another electronic equipment, and the link layer controller works after the connection is established.

[Detailed descriptions of the Invention]

[0001]

[Field of the Invention]

The present invention relates to, for example, an electronic equipment to be used connecting to a serial bypass of IEEE1394, and more specifically, to a technology reducing power consumption of a communication interface.

[0002]

[Description of the Prior Art]

It has been conceived that an electronic equipment such as personal computer, digital videocassette recorder, digital television receiver, etc. is connected via a serial bypass of IEEE1394, and a digital video signal, a digital audio signal and a packet of a control signal are sent and received between these electronic equipments.

[0003]

Fig. 5 shows one example of such a system. In this diagram, electronic equipments A to C are personal computer, digital videocassette recorder, etc. as described above. And, ports P between electronic equipment A and B, and between electronic equipment B and C are connected by cables 11 and 12 of the serial bypass of IEEE1394. These electronic equipments will be referred to as a node below in this specifications.

[0004]

Two pairs of twist pair cables are provided inside these IEEE1394 serial cables 11 and 12. One pair of the twist pair cables is used for data transmission, whereas another is used for strobe signal transmission. And, each node applies bias voltage to one pair of twist pair cables, and detects the bias voltage on another pair of twist pair cables.

[0005]

As shown in Fig. 5, each node is provided with physical layer controller (PHY) 13, link layer controller (LINK) 14 and CPU 15 as an interface for communicating via the IEEE1394 serial bypass. Physical layer 13 is consisted of IC, and is provided with capabilities for initializing a bus, encoding/decoding data to be sent/received, bus arbitration and an output/input of the bias voltage, etc. Also, link layer controller (LINK) 14 is consisted of IC, and is provided with a capability of controlling a link layer producing/detecting correction of a denotation, and producing/detecting the packet, etc.

And, CPU 15 is consisted of a microcomputer, and is provided with a capability of controlling an application layer, etc.

[0006]

In such constructed communication system, when each of nodes A to C is turned ON, power supply voltage is supplied to all of physical layer controller (PHY) 13, link layer controller (LINK) 14 and CPU 15. In this case, physical layer controller (PHY) 13, link layer controller (LINK) 14 of each equipment outputs bias voltage on one pair of twist pair cables of IEEE1394 serial bus 11. This bias voltage is detected by a physical layer controller of another node directly connected by the IEEE1394 serial bus. As a result, each node notices that it is being connected to another node in addition to itself.

[0007]

Like this, when the bias voltage output to the bus by the physical layer controller of each node is detected by the physical layer controller of another node, a bus reset occurs and an allocation of a physical address of each node is automatically completed within a predetermined time. Then, once the allocation of the physical address of each node is completed, nodes A to C start a transaction required at a time of the bus reset defined by a protocol.

[0008]

[Problem(s) to be solved by the Invention]

In the above-described nodes, when the node is turned ON, power supply voltage is supplied to all of the physical layer controller, the link layer controller and the CPU. Thus, when a node is not connected to another node by the bus, power is wastefully consumed in such a block. For this reason, when a node is an equipment activated by a battery (e.g. camera integral-type videocassette recorder, etc.), a time capable of using the equipment repeatedly becomes short.

[0009]

Therefore, an object of the present invention is to provide a technology enabling power consumption in a communication interface such as 1394 interface, etc. to be reduced.

[0010]

[Means for Solving the Problem]

In order to solve the above-mentioned problems, the present invention, in a system communicating between a plurality of nodes connected by a bus, provides a node with a physical layer controller, a link layer controller and CPU as a communication interface for communicating via the bus, wherein, when a node is not connected to another node via the bus, the link layer controller does not work, and the link layer controller works after the connection is established.

[0011]

According to the present invention, when a node is not connected to another node via the bus, the link layer controller does not work, and the link layer controller works after the connection is established. For this reason, when a node is not connected to another node, the link layer controller does not consume power.

[0012]

[Embodiments of the Invention]

Embodiments of the present invention will be detailed below referring to diagrams. Fig. 1 shows a structure of a system using the present invention. This system is consisted of two nodes of a camera integral-type digital videocassette recorder (hereinafter referred to as CAM), and a digital videocassette recorder (hereinafter referred to as DVCR). Then DCAM and DVCR are connected by an IEEE1394 serial bus cable.

[0013]

Fig. 2 shows a mode of a 1394 interface in each node. In this diagram, a set power supply means a power supply of nodes as a whole. OFF indicates a state of power supply voltage being not supplied to an equipment from an outside (state of being not connected to an outlet or battery being not loaded), and a case where a power supply switch is set to OFF even if power supply voltage is supplied to the equipment from an outside. And, ON indicates a state of power supply voltage being supplied to an equipment from an outside, and a case where a power supply switch is set to ON (In a case of DCAM, ON means that a video mode or a camera mode is in).

[0015]

As shown in Fig. 2, when the set power supply is OFF, a mode of the 1394 interface is OFF regardless of whether or not a bus connection is established. In this case, a power supply mode of each block of CPU, the link layer controller and physical layer controller consisting the 1394 interface is RESET. When the power supply mode is set to RESET, respective blocks are not worked.

[0016]

In a case where the set power supply is ON, a mode of the 1394 interface is STANDBY when there is no bus connection, and the mode is ON when there is a bus connection. Even if the mode of the 1394 interface is STANDBY or ON, the power supply mode of CPU and physical layer controller is ON. When the power supply mode is ON, these blocks work normally. On the other hand, a power supply mode of the link layer controller is RESET when the mode of the 1394 interface is STANDBY, and is ON when the mode of the 1394 interface is ON. When the power supply mode is ON, the link layer controller works normally.

[0017]

Fig. 3 is a diagram showing a signal flow of a communication between DCAM shown in Fig. 1 and another node (herein DVCR) via the IEEE1394 serial bus, and a

brief work of the 1394 interface inside DCSM corresponding to this flow. And, Fig. 4(a) is a work of the 1394 interface in the first half of Fig. 3, and Fig. 4(b) is a work of the 1394 interface in the last half of Fig. 3. A work of the 1394 interface in accordance with a preferred embodiment will be described below referring to Figs. 1, 3 and 4.

[0018]

First of all, the set power supplies of DCAM and DVCR are set from OFF to ON. Then, as shown in Fig. 1, DCAM and DVCR are connected by the IEEE1394 serial bus cable.

[0019]

When the set power supply is changed from OFF to ON, as shown in Fig. 3, a power supply mode of CPU 15 becomes ON and a rest of a power supply mode of physical layer controller 13 is released by a control of CPU 15. But, a power supply mode of link layer controller 14 remains in a state of RESET yet. And, the power supply mode of link layer controller 14 (LPS: Link power Status) is conveyed from CPU 15 to physical layer controller 13. A state of RESET indicates LPS=0.

[0020]

When the power supply mode of physical layer controller 13 becomes ON, physical layer controller 13 outputs bias voltage (TP bias) to the IEEE1394 serial bus. Similarly, DVCR of another node outputs bias voltage (TP bias) to the IEEE1394 serial bus.

[0021]

When physical layer controller 13 of DCAM detects the bias voltage output to the IEEE1394 serial bus by DVCR, physical layer controller 13 conveys this detection to CPU 15. CPU 15 notices that DCAM is being connected to another node by the IEEE1394 serial bus. And, physical layer controller 13 starts a bus reset when it detects the bias voltage.

[0022]

Once the bus reset is started, a connection relationship of each node (tree structure) is automatically determined. Herein, it is assumed that DCAM is a parent and DVCR is a child.

[0023]

Once the tree structure is determined, ID packet itself is sent sequentially from a child of the tree structure to the IEEE1394 serial bus. Then, a lower-numbered physical ID is allocated in the order of the packet transmission. Herein, physical address #0 is allocated to DVCR transmitting ID packet itself first, and then, physical address #1 is allocated to DCAM transmitting ID packet itself next.

[0024]

Physical layer controller 13 of each node can notice a total number of nodes connected to the IEEE1394 serial bus from a number of ID packets themselves received from the IEEE1394 serial bus. Herein, the received ID packet itself is the

only ones transmitted by a node of a directly connected opponent, so it becomes apparent that the total number of the nodes is two.

[0025]

ID packet itself has information indicative of a status of link layer controller 14 (L bit), and information indicative of whether or not a node is provided with an ability to become an isochronous resource manager being a node managing the bus (C bit). Herein, ID packet itself transmitted by DCAM has L bit=0 (the link layer controller is in a RESET mode) and C bit=1 (the ability to become IRM is provided).

[0026]

A node going to send out isochronous data such as a digital video signal, etc. (thereafter referred to as Iso) to the IEEE1394 serial bus applies for a working bandwidth and a working channel to the described IRM, and must get permission. Then, a node having C bit=1, L bit=0 and a maximum physical address can become IRM, but in a case of a state being shown in the first half of Fig. 3, as the power supply mode of link layer controller 14 is RESET, a reply cannot be obtained if CPU 15 asks link layer controller 14 for the total number of the nodes. This state is shown in Fig. 4.

[0027]

Then, CPU 15 conveys LPS=1 to physical layer controller 13, releases RESET of the power supply mode of link layer controller 14, and turns the mode ON. Then, physical layer controller 13 is instructed to start a bus reset.

[0028]

Once the bus reset is started, as stated above, the connection relationship of each node (tree structure) is automatically determined. In this case, in order for DCAM to make the physical address maximum, CPU 15 instructs physical layer controller 13 to set root hold bit (thereafter referred to as RHB) to "1". In a case of RHB=1, by delaying a timing of asking another equipment connected to the IEEE1394 serial bus for the connection relationship, physical layer controller 13 itself becomes a parent of the tree structure, and works such that the physical address becomes maximum. Herein, it is assumed that DCAM becomes a parent, and DVCR becomes a child.

[0029]

Once the tree structure is determined, ID packet itself is transmitted sequentially from a child node to another node. Herein, physical address #=0 is allocated to DVCR transmitting ID packet itself first, and physical address #=1 is allocated to DCAM transmitting ID packet itself next. Then, ID packet itself transmitted by DCAM has L bit=1 (the link layer controller is in ON-mode) and C bit=1 (eligible for IRM).

[0030]

Physical layer controller 13 of each node transmits a received ID packet itself to link layer controller 14. Link layer controller 14 can notice a total number of nodes connected to the IEEE1394 serial bus from a number of the received ID packets

themselves. Herein, as the received ID packet itself is the only ones transmitted by a node of a directly connected opponent, it becomes apparent that the total number of the nodes is two. Then, in a case of DCAM, the total number of the nodes is two and physical address itself is #1, so that it becomes apparent that among the nodes connected to the IEEE1394 serial bus, itself has a maximum physical address. Thus, it becomes apparent that link layer controller 14 in DCAM has two nodes in total, and physical address of IRM is #1 (i.e., DCAM itself).

[0031]

When CPU 15 asks link layer controller 14 for a total number of IRM and the nodes, a reply from link layer controller 14 can be received, DCAM itself becomes apparent. This state is shown in Fig. 4(b). For this reason, it is possible for DCAM itself to get the bandwidth and the channel, fill in an internal register and transmit Iso data immediately.

[0032]

The system in the above-mentioned preferred embodiments includes two pieces of nodes consisting of DCAM and DVCR, but the present invention can be similarly applied to a system consisting of three pieces of nodes and more including another kind of a node such as the PC, etc.

[0033]

[Effect of the Invention]

As described above, according to the present invention, as the link layer controller does not work when the controller is not connected to another node via the bus, power consumption can be reduced.

[Brief description of diagrams]

Fig. 1 is a diagram showing a system structure applying the present invention.

Fig. 2 is a diagram showing a mode of the 1394 interface in each node.

Fig. 3 is a diagram showing a signal flow communicated between DCAM and another node shown in Fig.1 via the IEEE1394 serial bus, and a brief work of the 1394 interface in DCAM corresponding to the flow.

Fig. 4 is a diagram showing a work of the 1394 interface in Fig. 3.

Fig. 5 is a diagram showing a system in which a plurality of the nodes is connected by the IEEE1394 serial bus and a communication is conducted between these nodes.

[Description of denotations]

11, 12	IEEE1394 SERIAL BUS
13	PHYSICAL LAYER CONTROLLER
14	LINK LAYER CONTROLLER
15	CPU

FIGURE 1:
1394 SERIAL BUSS

SET POWER BUSS CONNECTION 1394 MODE			POWER MODE		
			CPU	LINK	PHY
OFF	NO	OFF	RESET	RESET	RESET
OFF	YES	OFF	DITTO	DITTO	DITTO
ON	NO	STANDBY	ON	RESET	ON
				(LPS=0)	
ON	YES	ON	ON	ON	DITTO

FIGURE 3:
DCAM(NORDE IP=#1

I/F MODE	CPU	LINK	PHY
OFF	OFF	RESET	RESET
STANDBY	ON		
	RESET RELEASE		
STABDBY			

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-70561

(43)公開日 平成10年(1998) 3月10日

(51)Int.Cl.⁹

H 0 4 L 12/40

識別記号

庁内整理番号

F I

H 0 4 L 11/00

技術表示箇所

3 2 0

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21)出願番号

特願平8-242607

(22)出願日

平成8年(1996) 8月26日

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

青木 幸彦

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者

加藤 淳二

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人

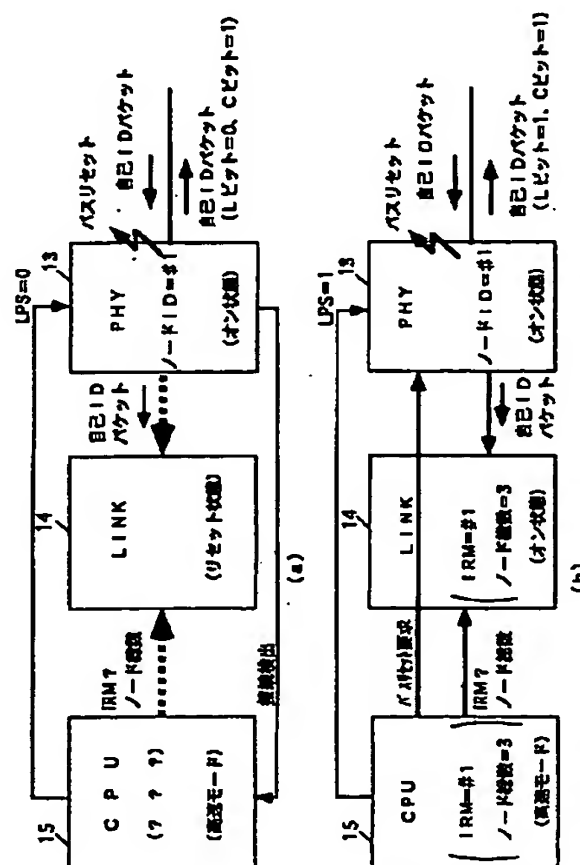
弁理士 杉山 猛

(54)【発明の名称】 電子機器及びその動作モード制御方法

(57)【要約】

【課題】 IEEE1394シリアルバス上のノードにおける通信インターフェースの消費電力を低減する。

【解決手段】 通信インターフェースとして物理層コントローラ13と、リンク層コントローラ14と、CPU15とを設けた。そして、IEEE1394シリアルバスを介して他のノードと接続されていない時にはリンク層コントローラ14が動作せず、その接続が行われた後にリンク層コントローラ14が動作するように構成した。



【特許請求の範囲】

【請求項1】 バスで接続された複数の電子機器間で通信を行うシステムにおける電子機器であって、前記バスを介して通信を行うための通信インターフェースは物理層コントローラと、リンク層コントローラと、CPUとを具備し、前記バスを介して他の電子機器と接続されていない時には前記リンク層コントローラが動作せず、前記接続が行われた後に前記リンク層コントローラが動作するように構成したことを特徴とする電子機器。

【請求項2】 前記物理層コントローラは前記他の電子機器と接続されたことを検知して前記CPUに通知し、前記CPUは前記リンク層コントローラを動作させる請求項1に記載の電子機器。

【請求項3】 前記バスはIEEE1394シリアルバスである請求項1に記載の電子機器。

【請求項4】 バスで接続された複数の電子機器間で通信を行う際に、前記電子機器が前記バスを介して他の電子機器と接続されていない時には前記電子機器内のリンク層コントローラが動作せず、前記接続が行われた後に前記リンク層コントローラが動作するように制御することを特徴とする電子機器の動作モード制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばIEEE1394シリアルバスに接続して使用する電子機器に関し、詳細には通信インターフェースの消費電力を低減する技術に関するものである。

【0002】

【従来の技術】 パーソナルコンピュータ、デジタルビデオカセットレコーダ、デジタルテレビジョン受信機等の電子機器をIEEE1394シリアルバスで接続し、これらの電子機器間でデジタルビデオ信号、デジタルオーディオ信号、及び制御信号の packets を送受信するシステムが考えられている。

【0003】 図5にこのようなシステムの一例を示す。この図において、電子機器A～電子機器Cは、前述したパーソナルコンピュータやデジタルビデオカセットレコーダ等である。そして、電子機器AとB、及びBとCのポートPの間は、IEEE1394シリアルバスのケーブル11、12で接続されている。以下本明細書では、これらの電子機器をノードと呼ぶことにする。

【0004】 これらのIEEE1394シリアルケーブル11、12の内部には二対のツイストペアケーブルが設けられている。二対のツイストペアケーブルの内一対はデータの伝送に使用し、他の一対はストロブ信号の伝送に使用する。また、各ノードは一対のツイストペアケーブルに対してバイアス電圧を出力し、他の一対のツイストペアケーブル上のバイアス電圧を検出する。

【0005】 図5に示すように、各ノードは、IEEE

1394シリアルバスを介して通信を行うためのインターフェース（以下1394インターフェースという）として、物理層コントローラ（PHY）13と、リンク層コントローラ（LINK）14と、CPU15とを備えている。物理層コントローラ13はICにより構成されており、バスのイニシャライズ、送/受信データのエンコード/デコード、バスアービトラージ、バイアス電圧の出力/検出等の機能を持つ。また、リンク層コントローラ14はICにより構成されており、誤り訂正符号の生成/検出、パケットの生成/検出等のリンク層のコントロール機能を持つ。そして、CPU15は、マイクロコンピュータにより構成されており、アプリケーション層等のコントロール機能を持つ。

【0006】 前述のように構成された通信システムにおいて、各ノードA～Cの電源がオンになると、各ノードの物理層コントローラ13、リンク層コントローラ14、及びCPU15の全てに電源電圧が供給される。このとき、各機器の物理層コントローラ13はIEEE1394シリアルバス11の一対のツイストペアケーブル上にバイアス電圧を出力する。このバイアス電圧はIEEE1394シリアルバスで直接接続されている他のノードの物理層コントローラにより検出される。この結果、各ノードは自分に他のノードが接続されたことを知る。

【0007】 このように、各ノードの物理層コントローラがバスに出力したバイアス電圧が他のノードの物理層コントローラにより検出されると、バスリセットが起こり、各ノードの物理アドレスの割り付けが、所定時間内に自動的に終了する。そして、各ノードの物理アドレスの割り付けが終了すると、ノードA～Cは、プロトコルにより定められたバスリセット時に必要なトランザクションを開始する。

【0008】

【発明が解決しようとする課題】 前述した各ノードでは、ノードの電源がオンになると、物理層コントローラ、リンク層コントローラ、及びCPUの全てに電源電圧が供給される。したがって、ノードが他のノードとバスで接続されていない時には、これらのブロックにおいて無駄な電力が消費されてしまう。このため、ノードがバッテリーで駆動される装置（カメラ一体型ビデオカセットレコーダ等）の場合には、装置の連続使用可能時間が短くなってしまう。

【0009】 したがって、本発明は1394インターフェース等の通信インターフェースにおける消費電力の低減を可能にする技術を提供することを目的とする。

【0010】

【課題を解決するための手段】 前記課題を解決するために、本発明は、バスで接続された複数のノード間で通信を行うシステムにおいて、ノードには、バスを介して通信を行うための通信インターフェースとして物理層コン

トローラと、リンク層コントローラと、CPUとを設け、バスを介して他のノードと接続されていない時にはリンク層コントローラが動作せず、その接続が行われた後にリンク層コントローラが動作するように構成したものである。

【0011】本発明によれば、バスを介して他のノードと接続されていない時にはリンク層コントローラが動作せず、その接続が行われた後にリンク層コントローラが動作する。このため、他のノードと接続されていない時には、リンク層コントローラが電力を消費しない。

【0012】

【発明の実施の形態】以下本発明の実施の形態について図面を参照しながら詳細に説明する。図1に本発明を適用するシステムの構成を示す。このシステムはカメラ一体型デジタルビデオカセットレコーダ（以下DCAMという）と、デジタルビデオカセットレコーダ（以下DVCRという）の二個のノードで構成されている。そして、DCAMとDVCRとの間は、IEEE1394シリアルバスのケーブルにより接続されている。

【0013】図2は各ノードにおける1394インターフェースのモードを示す。この図においてセット電源とはノード全体の電源である。そして、オフとは外部から装置に電源電圧が供給されていない状態（コンセントに接続されていないか又はバッテリーが装着されていない状態）、及び外部から装置に電源電圧が供給されていても装置の電源スイッチがオフに設定されている場合である。また、オンとは外部から電源電圧が供給されており、かつ装置の電源スイッチがオンに設定されている場合である（DCAMの場合は、ビデオモード又はカメラモードに設定されていることを意味する）。

【0014】また、バス接続の有無は、装置がIEEE1394シリアルバスにより他の機器と接続されているかいないかを意味する。そして、1394インターフェースモードとは、1394インターフェースのモードを意味する。

【0015】図2に示すように、セット電源がオフの時には、バス接続があってもなくても、1394インターフェースのモードはオフである。この時、1394インターフェースを構成するCPU、リンク層コントローラ、及び物理層コントローラの各ブロックの電源モードは、リセットである。電源モードがリセットの時にはこれらのブロックは動作していない。

【0016】セット電源がオンの時には、バス接続がなければ1394インターフェースのモードはスタンバイであり、バス接続があればオンである。1394インターフェースのモードがスタンバイでもオンでも、CPU及び物理層コントローラの電源モードはオンである。電源モードがオンの時にはこれらのブロックは通常の動作を行う。一方、リンク層コントローラの電源モードは、1394インターフェースのモードがスタンバイの

時はリセットであり、1394インターフェースのモードがオンの時はオンである。電源モードがオンの時にはリンク層コントローラは通常の動作を行う。

【0017】図3は図1に示したDCAMと他のノード（ここではDVCR）がIEEE1394シリアルバスを介してやりとりする信号の流れ、及びそれに対応したDCAM内の1394インターフェースの概略動作を示す図である。そして、図4（a）は図3の前半における1394インターフェースの動作であり、図4（b）は図3の後半における1394インターフェースの動作である。以下図1、図3、及び図4を参照しながら、本実施の形態における1394インターフェースの動作を説明する。

【0018】まず、DCAMとDVCRのセット電源をオフからオンにする。次に、図1に示すように、DCAMとDVCRとをIEEE1394シリアルバスのケーブルで接続する。

【0019】セットの電源がオフからオンに変化すると、図3に示すように、CPU15の電源モードがオンになり、CPU15の制御により物理層コントローラ13の電源モードのリセットが解除される。しかし、リンク層コントローラ14の電源モードはリセット状態のままである。そして、リンク層コントローラ14の電源モード（LPS: LINK POWER STATUS）がCPU15から物理層コントローラ13へ伝達される。リセット状態ではLPS=0である。

【0020】物理層コントローラ13は自分の電源モードがオンになると、IEEE1394シリアルバスにバイアス電圧（TPバイアス）を出力する。同様に、他のノードであるDVCRもIEEE1394シリアルバスにバイアス電圧（TPバイアス）を出力する。

【0021】DCAMの物理層コントローラ13はDVCRがIEEE1394シリアルバスに出力したバイアス電圧を検出すると、それをCPU15に伝える。CPU15はDCAMが他のノードとIEEE1394シリアルバスで接続されたことを知る。また、物理層コントローラ13は、バイアス電圧を検出すると、バスリセットを開始する。

【0022】バスリセットが開始されると、各ノードの接続関係（ツリー構造）が自動的に決定される。ここでは、DCAMが親になり、DVCRが子になったものとする。

【0023】ツリー構造が決定されると、ツリー構造の子のノードから順にIEEE1394シリアルバスに対して、自己IDパケットを送信する。そして、自己IDパケットの送信順に番号の若い物理IDが割り付けられる。ここでは、先に自己IDパケットを送信するDVCRに物理アドレス#0が割り付けられ、次に自己IDパケットを送信するDCAMに物理アドレス#1が割り付けられる。

【0024】各ノードの物理層コントローラ13は、IEEE1394シリアルバスから受信した自己IDパケットの数から、IEEE1394シリアルバスに接続されているノードの総数を知ることができる。ここでは、受信した自己IDパケットは直接接続されている相手のノードが送信したもののみであるから、ノードの総数は2であることがわかる。

【0025】自己IDパケットは、リンク層コントローラ14の状態を示す情報(Lビット)と、自分がバスの管理ノードであるアイソクロナス・リソース・マネージャ(以下IRMという)になる能力があるかどうかを示す情報(Cビット)を持っている。ここでは、DCAMが送信する自己IDパケットは、Lビット=0(リンク層コントローラはリセットモード)とCビット=1(IRMになる能力がある)を持っている。

【0026】IEEE1394シリアルバスにデジタルビデオ信号等のアイソクロナスデータ(以下アイソクロナスをIsoという)を送出しようとするノードは、前述したIRMに対して使用帯域と使用チャンネルを申請し、許可を受けなければならない。そして、Cビット=1、Lビット=1、かつ物理アドレスが最大のノードがIRMになれるが、図3の前半に示した状態では、リンク層コントローラ14の電源モードがリセットであるため、CPU15がリンク層コントローラ14に対してIRMやノード総数等を問い合わせても返事が得られない。図4(a)にこの様子を示す。

【0027】そこで、CPU15は、LPS=1を物理層コントローラ13に伝達するとともにリンク層コントローラ14の電源モードのリセットを解除し、オンにする。次いで、物理層コントローラ13に対してバスリセットを開始するように指令する。

【0028】バスリセットが開始されると、前述したように各ノードの接続関係(ツリー構造)が自動的に決定される。この時、DCAMは自分の物理アドレスが最大になるようにするために、CPU15から物理層コントローラ13にルートホールドビット(以下RHBという)を“1”にするように指令する。物理層コントローラ13は、RHB=1の場合、IEEE1394シリアルバスに接続されている他の機器に対して接続関係(ツリー構造)の問い合わせのタイミングを遅らせることにより、自分がツリー構造の親(ルート)となり、物理アドレスが最大になれるように動作する。ここでは、DCAMが親になり、DVCRが子になったものとする。

【0029】ツリー構造が決定されると、子のノードから順に他のノードに対して、自己IDパケットを送信する。ここでは、先に自己IDパケットを送信するDVCRに物理アドレス#0が割り付けられ、次に自己IDパケットを送信するDCAMに物理アドレス#1が割り付けられる。そして、DCAMが送信する自己IDパケットは、Lビット=1(リンク層コントローラはオンモー

ド)とCビット=1(IRMになる能力がある)を持っている。

【0030】各ノードの物理層コントローラ13は受信した自己IDパケットをリンク層コントローラ14に送る。リンク層コントローラ14は、受信した自己IDパケットの数から、IEEE1394シリアルバスに接続されているノードの総数を知ることができる。ここでは、受信した自己IDパケットは直接接続されている相手のノードが送信したもののみであるから、ノードの総数は2であることがわかる。そして、DCAMの場合、ノードの総数が2であり、自分の物理アドレスが#1であるから、IEEE1394シリアルバスに接続されているノードの中で自分が最大の物理アドレスを持っていることがわかる。したがって、DCAM内のリンク層コントローラ14は、ノード総数が2であり、IRMの物理アドレスは#1(すなわち、DCAM自身)であることがわかる。

【0031】CPU15はリンク層コントローラ14に対してIRMとノード総数を問い合わせると、リンク層コントローラ14から返事を受け取ることができ、DCAM自身であることを知る。図4(b)にこの様子を示す。このため、DCAMは自ら帯域とチャンネルを獲得して、内部のレジスタに登録し、直ちにIsoデータを送出することができる。

【0032】なお、前記実施の形態におけるシステムは、DCAMとDVCRからなる二つのノードで構成されたものであったが、本発明はパーソルコンピュータ等の他の種類のノードを含む三個以上のノードで構成されたシステムにおいても同様に適用できる。

【0033】

【発明の効果】以上説明したように、本発明によれば、バスを介して他のノードと接続されていない状態ではリンク層コントローラは動作しないので、消費電力を節減することができる。

【図面の簡単な説明】

【図1】本発明を適用するシステムの構成を示す図である。

【図2】各ノードにおける1394インターフェースのモードを示す図である。

【図3】図1に示したDCAMと他のノードがIEEE1394シリアルバスを介してやりとりする信号の流れ、及びそれに対応したDCAM内の1394インターフェースの概略動作を示す図である。

【図4】図3における1394インターフェースの動作を示す図である。

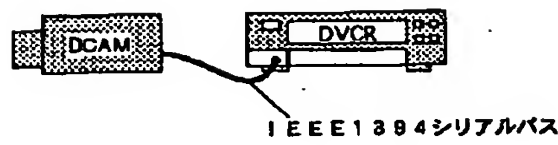
【図5】複数のノードをIEEE1394シリアルバスで接続し、これらのノード間で通信を行うシステムを示す図である。

【符号の説明】

11、12…IEEE1394シリアルバス、13…物

理層コントローラ、14…リンク層コントローラ、15 …CPU

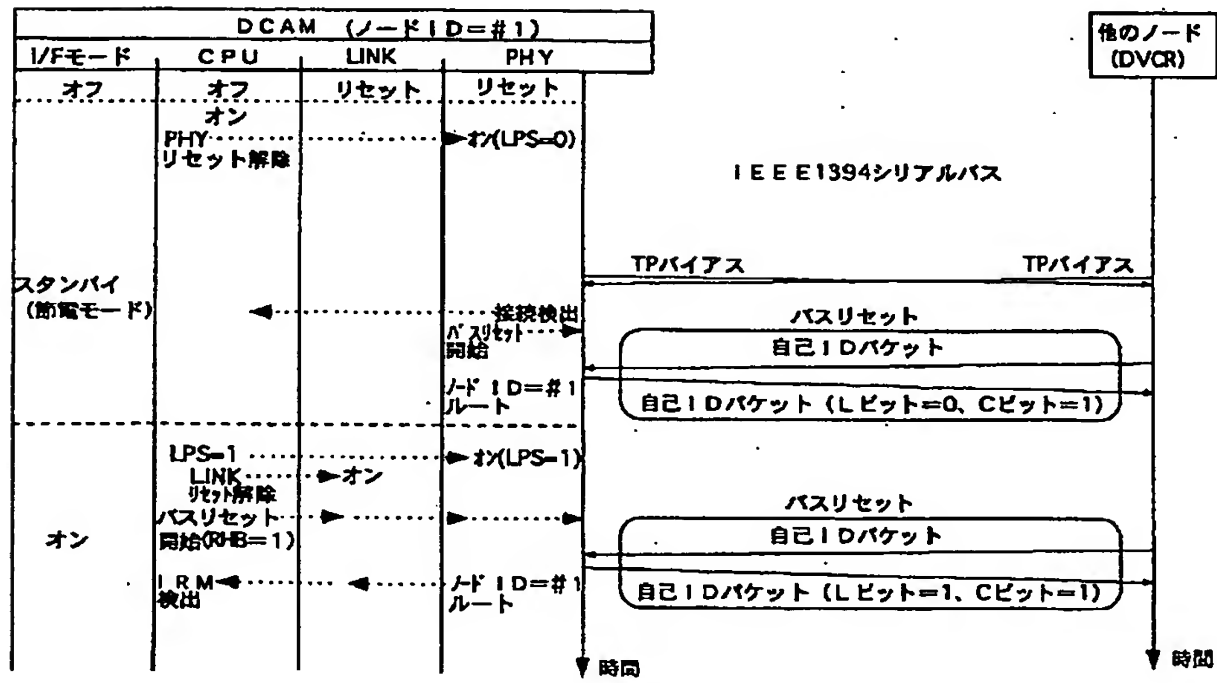
【図1】



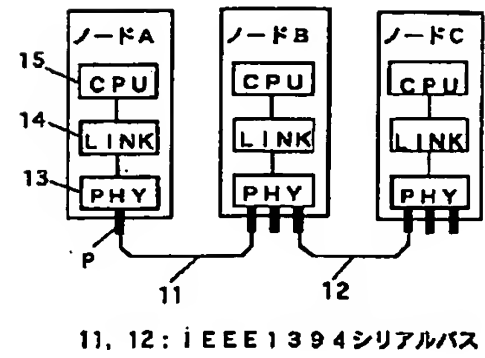
【図2】

セット電源	バス接続	1394インターフェースモード	電源モード		
			CPU	LINK	PHY
オフ	なし	オフ	リセット	リセット	リセット
	あり	オフ	リセット	リセット	リセット
オン	なし	スタンバイ	オン	リセット	オン (LPS=0)
	あり	オン	オン	オン	オン (LPS=1)

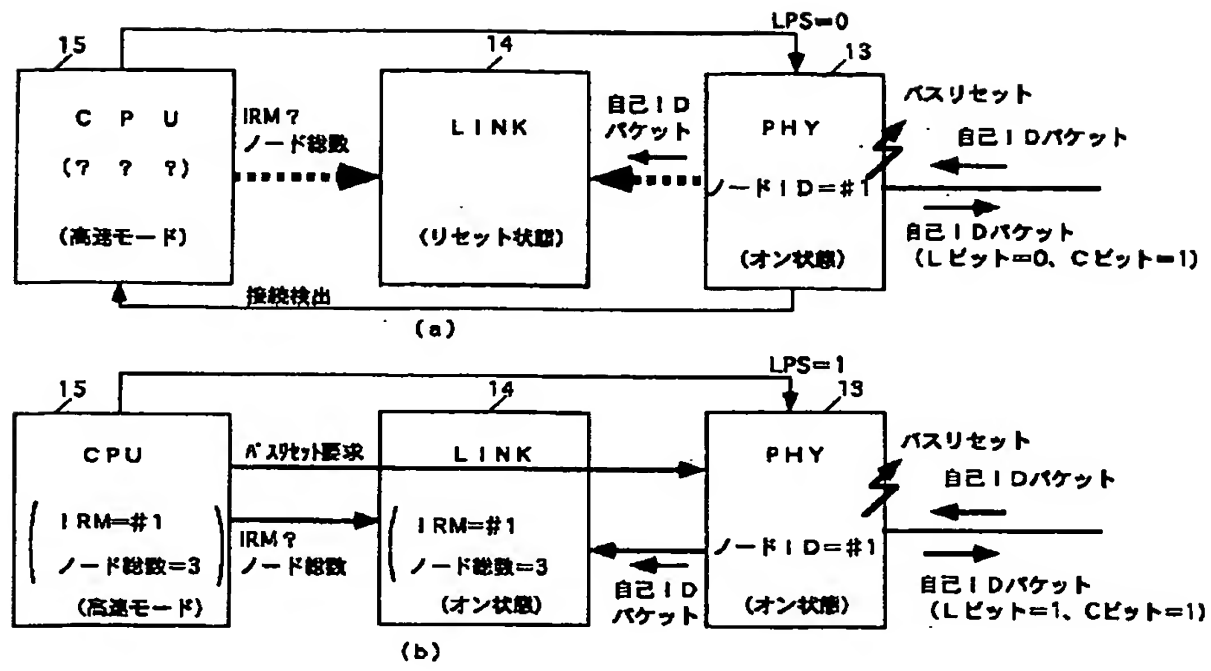
【図3】



【図5】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.